

# HARDWARE-PRAKTIKUM

Versuch T-3

Eigenschaften von Logikschaltkreisen

Fachbereich Informatik

Universität Kaiserslautern

## Versuch T-3

### **1 Vorbemerkung**

Um die Eigenschaften von Schaltgliedern bzw. Schaltgliederfamilien quantitativ zu erfassen und zu vergleichen, müssen einheitliche Meßbedingung festgelegt werden. Man definiert hierzu Toleranzbereiche für die in die Messung eingehenden Parameter wie Temperatur, Betriebsspannung, etc. Diese Meßbedingung nennt man „worst case“-Bedingungen. Selbst bei ungünstigster Kombination aller Parameter („worst-case“-Bedingungen) muß das Schaltglied noch sicher die spezifizierten Werte erreichen. Bei Beachtung dieser in den Datenblättern angegebenen Kennwerte wird ein einwandfreies Arbeiten der Schaltglieder garantiert.

Im Laborversuch sollen vergleichende Messungen an Schaltgliedern der verschiedenen Techniken vorgenommen werden. Da insbesondere eine Streuung der Parameterwerte, wie z.B. eine Umgebungstemperatur von -55 C bis 125 C, mit den zur Verfügung stehenden Labormitteln kaum möglich ist, ergeben sich hier bei der Messung meist günstigere Werte. Dennoch können, wie ein Vergleich mit den einschlägigen Datenblättern zeigt, die im Versuch ermittelten Werte als „typische“ Kennwerte der Schaltgliederfamilie bezeichnet werden und eignen sich daher durchaus zum Vergleich zwischen den verschiedenen Techniken.

### **2 Statische Störsicherheit**

Mit statischer Störsicherheit bezeichnet man die maximalen Werte statischer Störspannungen, die noch zu keinem Fehlverhalten führen. Dabei gelten auch Spannungsimpulse dann als „statisch“, wenn die Impulsdauer groß ist gegen die mittlere Verzögerungszeit des Schaltgliedes. Wird eine typische Übertragungskennlinie  $U_a = f(U_e)$  zugrunde gelegt, sind die daraus gewonnenen Kenngrößen für die statische Störsicherheit ebenfalls typische Werte, die gut zum Beurteilen einer Schaltkreisfamilie geeignet sind.

## 2.1 Übertragungskennlinie und ihre charakteristischen Punkte

Abbildung 1 zeigt die typische Übertragungskennlinie eines TTL-NAND-Schaltgliedes bei ausgangsseitiger Belastung mit einem gleichartigen Schaltglied:

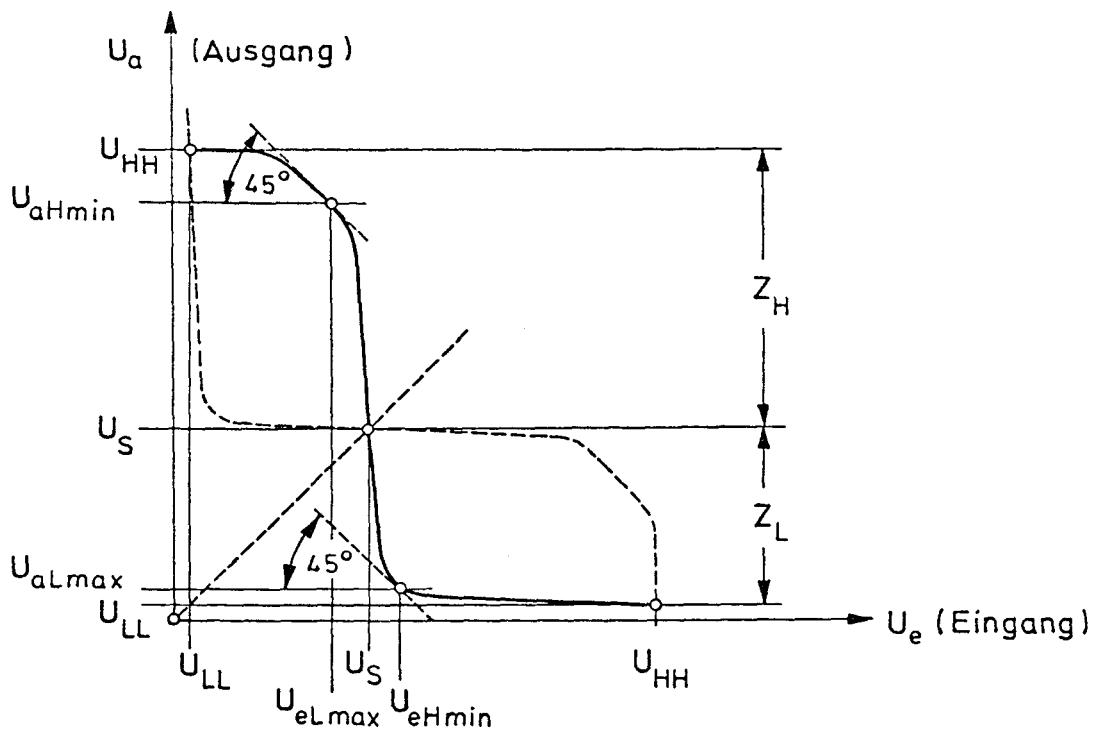


Abbildung 1: Charakteristische Punkte einer typischen Übertragungskennlinie

- $U_s$ : Umschaltspannung,  $U_s$  ergibt sich aus dem Schnittpunkt der Übertragungskennlinie mit der Geraden  $U_a = U_e$ .
- $U_{LL}, U_{HH}$ : Die den jeweiligen log. Werten "0" bzw. "1" zugeordneten Spannungen  $U_{LL}$  bzw.  $U_{HH}$  sind die Ausgangsspannungen, die in einer Kette ungestörter, gleicher Schaltglieder auftreten. Da die Ausgangsspannungen identisch sind mit den Eingangsspannungen der nachfolgenden Schaltglieder, ergeben sich die Werte  $U_{LL}$  und  $U_{HH}$  aus den Schnittpunkten der Übertragungskennlinie mit einer an der Geraden  $U_a = U_e$  gespiegelten Kennlinie.
- $U_{eLmax}, U_{eHmin}$ : Die Spannung  $U_s$  liegt im undefinierten Bereich, der keinem der binären logischen Werte zugeordnet ist. Die Spannungswerte  $U_{eLmax}$  und  $U_{eHmin}$  bilden die Grenze zwischen den Eingangsspannungsbereichen  $U_{eL}$  bzw.  $U_{eH}$  und dem undefinierten Bereich. Die Grenzpunkte werden so gesetzt, daß die Übertragungskennlinie in diesen Punkten die Steigung -1 hat.
- $U_{aLmax}, U_{aHmin}$ : Diese Spannungen sind die den jeweiligen Eingangsspannungen zugeordneten Ausgangsspannungen. ( $U_{aLmax}$  ist  $U_{eHmin}$ ;  $U_{aHmin}$  ist  $U_{eLmax}$  zugeordnet).

## 2.2 Typische statische Störsicherheit

Abbildung 2 verdeutlicht die Annahme, daß eine Störspannungsquelle auf die Leitung zwischen Ausgang des Ansteuer-Schaltglieds I und Eingang des gesteuerten Schaltglieds II einwirkt. Zu untersuchen ist, wie groß die Störspannung höchstens werden darf, ohne daß

- a) das Schaltglied II umschaltet
- b) die Grenzspannungen überschritten werden.

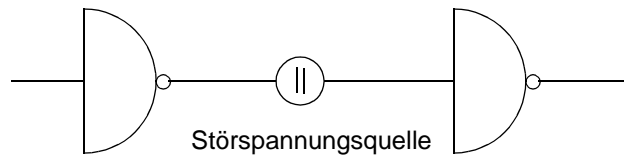


Abbildung 2: Modell zur statischen Störsicherheit

Mit den Größen aus der Übertragungskennlinie (Abbildung 1) wird definiert:

zu a) typische statische Störsicherheit:

$$Z_L = U_S - U_{LL}$$

$$Z_H = U_{HH} - U_S$$

zu b) worst-case Störsicherheit:

$$E_L = U_{eLmax} - U_{aLmax}$$

$$E_H = U_{aHmin} - U_{eHmin}$$

Setzt Fall a) ideales Verhalten voraus, so berücksichtigt man in b) auch ungünstige Bedingungen. Werden die Werte  $U_{eLmax}$ ,  $U_{eHmin}$ , sowie die dazugehörigen Ausgangsspannungswerte unter „worstcase“-Bedingungen ermittelt, errechnet sich aus ihnen die „garantierte statische Störsicherheit“  $E_L = 0,4 \text{ V}$  und  $E_H = 0,4 \text{ V}$  für TTL-Schaltglieder.

## 3 Schaltzeiten

Durch Schaltzeiten werden Eigenschaften von Schaltgliedern charakterisiert, die bei Umschaltvorgängen von Bedeutung sind:

- Verzögerungszeiten,
- Anstiegs- und Abfallzeiten.

Um digitale Schaltglieder bezüglich ihrer Schaltzeiten beurteilen zu können, muß man wissen, unter welchen Bedingungen die in den Datenblättern angegebenen Zeiten gemessen wurden.

Diese Bedingungen sind für die Messung von Verzögerungszeiten bei den meisten Herstellern gleichartig, während die Messbedingungen für Anstiegs- und Abfallzeiten variieren. Da außer-

dem größtenteils Angaben über Anstiegs- und Abfallzeiten in den Datenblättern fehlen, sei von einer Diskussion hier abgesehen.

Es hat sich als sinnvoll erwiesen, bei Schaltgliedern die systemeigenen Verzögerungszeiten zu messen. Dies erreicht man durch Ansteuerung und Belastung des zu untersuchenden Schaltglieds durch Schaltglieder der gleichen Schaltkreisfamilie. Alternativ hierzu wird das zu prüfende Schaltglied direkt von einem Impulsgenerator angesteuert, an den bezüglich Amplitude, Innenwiderstand, Schaltflanken etc. bestimmte Forderungen gestellt werden, um wieder möglichst systemeigene Schaltzeiten zu erreichen.

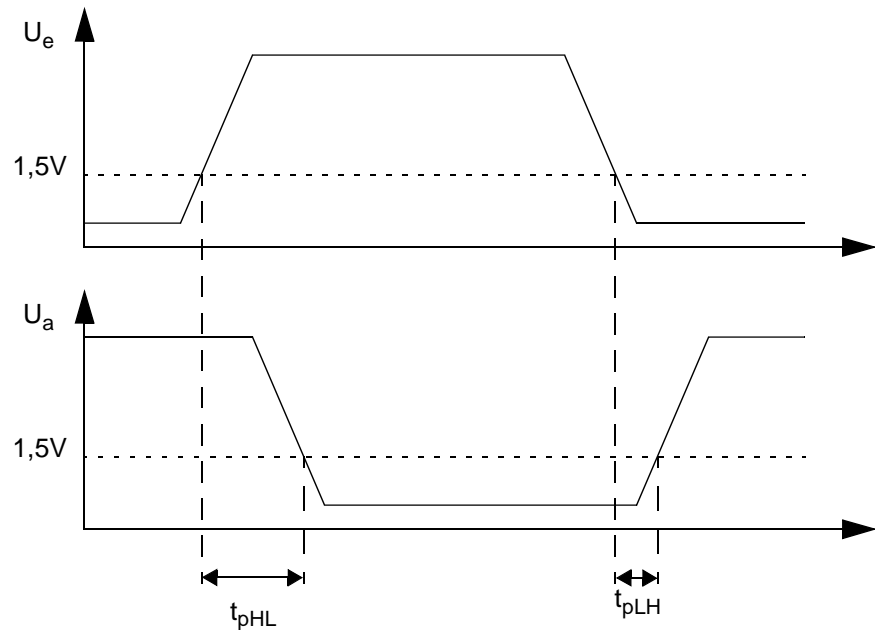


Abbildung 3: Impulsdiagramm zur Messung der Verzögerungszeiten eines Inverters

Die mittlere Verzögerungszeit  $t_p$  ist der arithmetische Mittelwert aus  $t_{pHL}$  und  $t_{pLH}$ , also

$$t_p = \frac{t_{pHL} + t_{pLH}}{2}$$

#### 4 Normierte Ausgangsbelastbarkeit

Da in den meisten Fällen Digitalschaltungen aus Bausteinen derselben Schaltglieder-Familie aufgebaut sind, hat es sich als nützlich erwiesen, statt möglicher Ausgangsströme und auftretender Eingangsströme normierte Größen zu verwenden.

Die in den jeweiligen Datenblättern angegebene Ausgangsbelastbarkeit, Fan-Out, bezieht sich auf die Fähigkeit eines Schaltglieds, in eine bestimmte Anzahl von Lasten einen Strom zu liefern bzw. von ihnen aufzunehmen. Eine Lasteinheit ist festgelegt durch die Stromaufnahme eines Eingangs. Ein Fan-Out von 8 bedeutet also z.B., daß der Ausgang in der Lage ist, unter Beibehaltung der logischen Pegel, maximal acht Eingänge anzusteuern.

Es errechnet sich:

Belastbarkeit im log. '1'-Zustand:  $\left| \frac{I_{aH}}{I_{eH}} \right|$

Belastbarkeit im log. '0'-Zustand:  $\left| \frac{I_{aL}}{I_{eL}} \right|$

Bei unterschiedlichen Werten richtet sich der Fan-Out-Wert natürlich nach dem kleineren der beiden Belastungswerte. Da es sich normalerweise um ganzzahlige Lasteinheiten handelt, wird auch der Fan-Out-Wert auf die nächst niedrigere ganze Zahl abgerundet. (Die Betragsbildung ist notwendig, weil üblicherweise in ein Schaltglied hineinfließende Ströme positiv, herausfließende negativ gezählt werden.)

## 5 Bedeutung von Busverbindungen

In informationsverarbeitenden Geräten entsteht oft die Forderung, Daten zu sammeln oder zu verteilen. So kann z.B. in einem Digitalrechner der Inhalt einer Zelle des Hauptspeichers, je nach Anwendung, auf verschiedene Register verteilt werden. Andererseits ist es sinnvoll, Signale von verschiedenen Datenquellen zu sammeln und an einen Empfänger zu bringen, wie z.B. Daten von verschiedenen Registern zur arithmetisch-logischen Einheit (ALU).

Zur Verwirklichung der genannten Aufgaben verwendet man i.a. sogenannte „Bus-Verbindungen“. Dies sind Verbindungsleitungen, an die mehrere Datenquellen und Datensenken angeschlossen werden können.

### 5.1 Bus-Verbindungen in TTL-Technik

Sieht man von Übersprech- und Reflexionsproblemen ab, so stellt die Aufgabe der Datenverteilung (ein Sender, mehrere Empfänger) ein Problem dar, das sich bereits durch einfache „Fan-Out“ und „Fan-In“-Betrachtungen für die verwendeten Schaltglieder lösen läßt.

In der TTL-Technik verwendet man vorwiegend Gegentakt-Ausgänge (totem-pole), die den Vorteil eines niedrigen Ausgangswiderstandes sowohl bei '0' als auch bei '1' am Ausgang aufweisen.

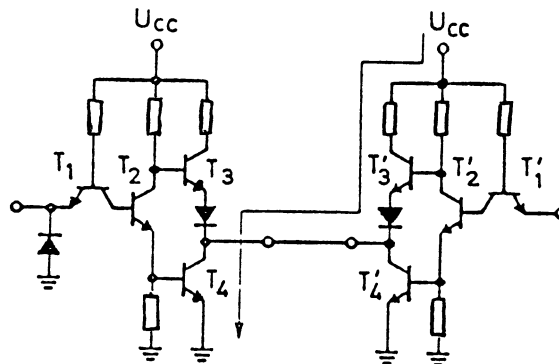


Abbildung 4: Parallelschaltung von „totem-pole“-Ausgängen

Würde man, wie in Abbildung 4, derartige Ausgänge parallelschalten, so könnte bei konträren Ausgangssignalen ein so hoher Strom über T3' und T4 fließen, daß dadurch T4 zerstört wird.

Deshalb stellt man für einige TTL-Schaltglieder eine Eintakt-Ausgangsstufe ohne Kollektorwiderstand her (sogenannte „open-collector“-Ausgänge). Diese Schaltglieder können ausgangsseitig parallelgeschaltet werden und bilden mit einem passend gewählten Widerstand  $R_C$  ein „wired-and“-.

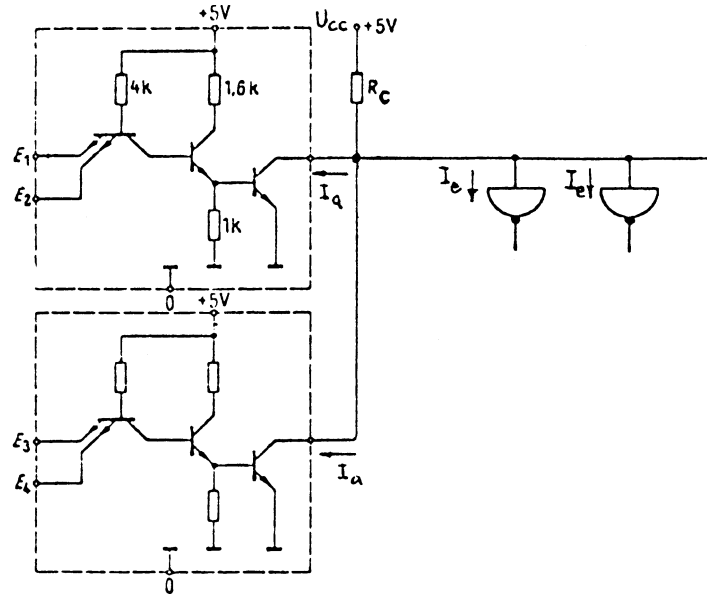


Abbildung 5: Ausgangsseitig parallelgeschaltete, „wired-and“-geeignete TTL-Schaltglieder

Die Größe des gemeinsamen Arbeitswiderstandes  $R_C$  ist abhängig von der Anzahl  $K$  ausgangsseitig parallelgeschalteter Schaltglieder und der Zahl  $N$  der angesteuerten Schaltglieder.

Zur Dimensionierung von  $R_C$  gilt:

$$R_{Cmax} = \frac{U_{cc} - U_{aHmin}}{K \cdot I_{aH} + N \cdot I_{eH}}$$

$$R_{Cmin} = \frac{U_{cc} - U_{aLmax}}{I_{aL} + N \cdot I_{eL}}$$

Für TTL-low-power-Schottky-Schaltglieder gelten dabei folgende Werte:

$I_{aL}$	= 8 mA
$I_{aH}$	= 0,1 mA
$I_{eL}$	= -0,4 mA
$I_{eH}$	= 0,02 mA
$U_{aLmax}$	= 0.5 V
$U_{aHmin}$	= 2.7 V

K: Anzahl verdrahteter Ausgänge

N: Anzahl nachfolgender Eingänge

Je nach Größe von K und N ergeben sich für  $R_c$  Werte zwischen einigen 100 Ohm und einigen kOhm. Verglichen mit dem statischen Innenwiderstand eines „totem-pole“-Ausganges liegen diese Werte um den Faktor 2,5 bis 65 höher. Beim Treiben von stark kapazitiven Lasten, wie dies besonders bei langen Verbindungsleitungen gegeben ist, ergeben sich dadurch dementsprechend langsamere Anstiegszeiten  $t_{LH}$  und verringerte maximale Taktfrequenzen.

## 5.2 Bus-Verbindungen mit Tri-State-Elementen

Diesen Nachteil vermeiden Bus-Verbindungen, die mit Tri-State-Schaltgliedern aufgebaut sind. Diese speziellen, von der Firma National Semiconductor eingeführten Schaltglieder besitzen außer den bei TTL üblichen 'H' und 'L'-Zuständen noch einen dritten Zustand, bei dem der Ausgang keinen definierten Logikpegel annimmt.

Dieser dritte Zustand wird in Datenblättern als 'hochohmiger Zustand' (high-impedance state, HI-Z) gekennzeichnet. In diesen Zustand sind die Transistoren T1 und T2 der Gegentaktanordnung (Abbildung 6) gesperrt. Es kann in diesem Zustand nur einen Sperrstrom von maximal 20  $\mu$ A aus oder in den Ausgang des jeweiligen Schaltgliedes fließen.

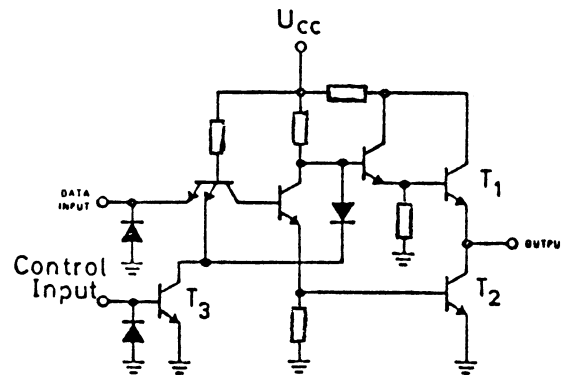


Abbildung 6: Typisches Tri-State TTL-Schaltglied

Bei Anlegen von H-Potential an die Basis von T3 wird dieser Transistor eingeschaltet und zieht einen der Multiemitter des Eingangstransistors auf L-Pegel. Hierdurch wird Transistor T2 gesperrt.

Über eine Diode wird von T3 auch der Treibertransistor der Darlington-Anordnung und damit T1 gesperrt.

Um die Anzahl K parallelschaltbarer Ausgänge zu erhöhen, wurde der maximale Ausgangsstrom im H-Zustand durch Verwendung einer Darlington-Schaltung erhöht auf

$$I_{Hmax} = 2,6 \text{ mA bei } U = 2,4 \text{ V}$$

Durch eine besondere Auslegung von Transistoren und Widerständen auf dem Silizium-Chip ist das Tri-State-Schaltglied gegen Kurzschlüsse gegenüber GND oder H-Potential führenden Ausgängen geschützt.

Die Tri-State-Technik stellt somit eine Erweiterung der TTL-Schaltkreisfamilie dar, die einen leichten Aufbau von schnellen, busorientierten Schaltungen gestattet.

## 6 Literatur

- /1/ Das TTL-Kochbuch  
Texas Instruments Deutschland GmbH  
Freising, 1975



## Aufgabenstellung:

1.1. Nehmen Sie die Übertragungskennlinie  $U_a = f(U_e)$  eines TTL-Inverters im SN74LS04 durch punktweises Ausmessen auf. Belasten Sie das Schaltglied, an dem die Messung durchgeführt werden soll, durch ein Schaltglied der gleichen Schaltkreisfamilie.

(B)

Beobachten Sie bei der Kennlinienaufnahme Ein- und Ausgang des Inverters auf dem Oszilloskop. Erklären Sie den beobachteten Effekt einem Betreuer und schlagen Sie eine Gegenmaßnahme vor.

1.2. Ermitteln Sie die Kenngrößen  $U_{LL}$ ,  $U_{HH}$ ,  $U_S$ ,  $U_{eLmax}$ ,  $U_{eHmin}$ ,  $U_{aLmax}$ ,  $U_{aHmin}$ , sowie die statische Störsicherheit  $Z_L$ ,  $Z_H$ ,  $E_L$ ,  $E_H$ .

(B)

1.3. Bauen Sie eine Schaltung nach Abbildung 7 auf. Erklären Sie, wie und mit welcher Formel Sie in dieser Schaltung die mittlere Verzögerungszeit  $t_p$  ermitteln können. Bestimmen Sie die Schaltfrequenz  $F$  sowie  $t_p$

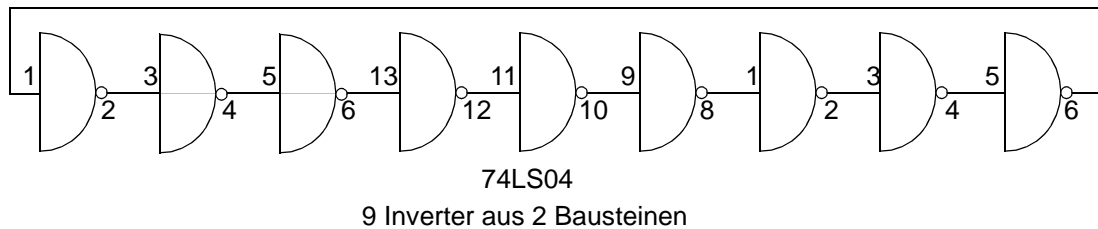


Abbildung 7: Schaltung mit 9/6 74LS04 zur Messung der Durchlaufzeit.

1.4. Messen Sie die Stromaufnahme  $I_{CC}$  der Schaltung nach 1.3 und berechnen Sie daraus die Stromaufnahme des einzelnen Inverters.

1.5. Trennen Sie den Rückkopplungspfad auf und speisen Sie die Schaltung stattdessen mit 1 KHz, 10 KHz, 100 KHz und 1 MHz aus dem Taktgenerator. Messen Sie die Stromaufnahme und berechnen Sie ebenfalls den Verbrauch eines Inverters.

2. Führen Sie nach der Messung zu 2.0 die Messungen nach 1.1 bis 1.5 für den CMOS-Schaltkreis CD 4049 AE durch.

(B)

2.0. Messen Sie den Stromverbrauch eines CMOS-Schaltkreises mit offenen Ein- und Ausgängen. Wie erklärt sich der beobachtete Effekt?

(B)

2.3. Demonstrieren Sie die entsprechende Schaltung wie Abbildung 7 und ermitteln Sie Schaltfrequenz  $F$  sowie Verzögerungszeit  $t_p$

(B)

2.5. Verbinden Sie bei der Strommessung unbenutzte Eingänge mit Masse. Tragen Sie den Strom in Abhängigkeit von der Frequenz auf und erklären Sie das Ergebnis.

3. Vergleichen Sie auf Grund der Messungen die beiden Schaltkreisfamilien. Stellen Sie die Vor- und Nachteile heraus und nennen Sie die Anwendungen!

4. Zur Bestimmung des Fan-Out werden neben den Meßwerten Angaben aus dem Datenblatt des betreffenden Schaltgliedes benötigt, die zur Unterscheidung von den gemessenen Größen mit einem Strich (') versehen sind.

Für das benutzte TTL-Schaltglied SN74LS04 gelten folgende Werte:

$$U_{aL} < U'_{aLmax} = 0,5 \text{ V bei } U_{eH} = U'_{eHmin} = 2 \text{ V und } I_{aL} = 8 \text{ mA}$$

$$U_{aH} > U'_{aHmin} = 2,7 \text{ V bei } U_{eL} = U'_{eLmax} = 0,8 \text{ V und } I_{aH} = -0,4 \text{ mA}$$

Messen Sie die Ströme

$$I_{eL} \text{ bei } U_{eL} = U'_{aLmax} = 0,5 \text{ V und}$$

$$I_{eH} \text{ bei } U_{eH} = U'_{aHmin} = 2,7 \text{ V (gemäß Datenblatt)}$$

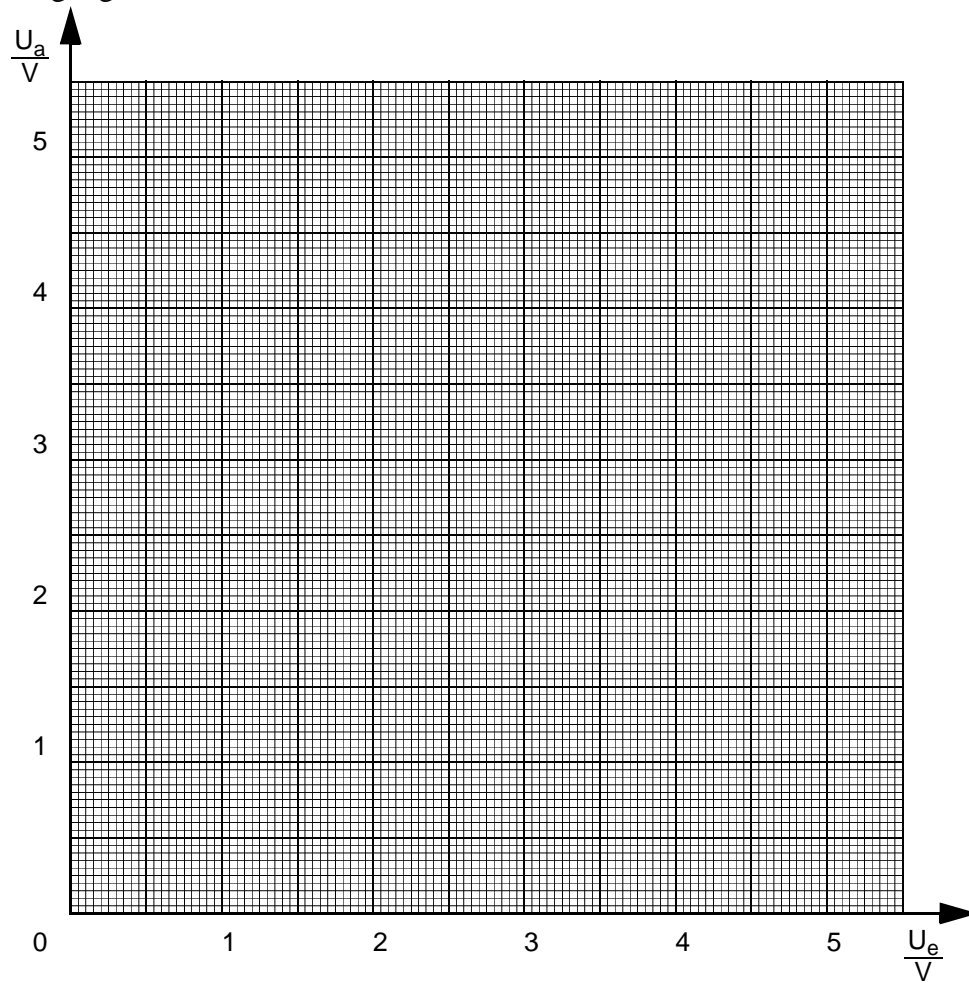
und berechnen Sie hierzu das Fan-Out FO. Hierzu stehen eine variable Spannungsquelle 0..5 V und ein Multimeter zur Verfügung.

Warum weicht der gemessene Wert von der Datenblattangabe  $FO' = 20$  ab?

Demonstrieren Sie die mit **B** gekennzeichneten Messungen einem Betreuer.

## Lösungsblatt

## 1.1 Übertragungskennlinie SN74LS04

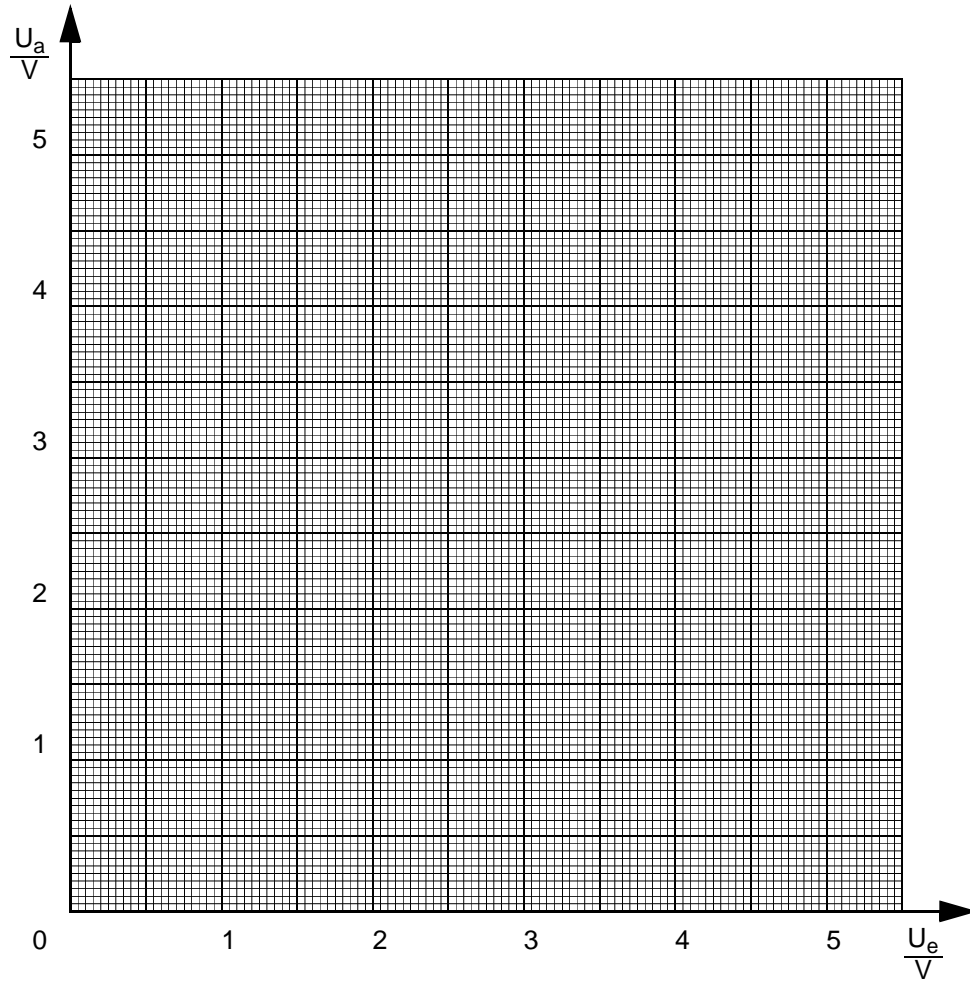


## 1.3. Erklärung:

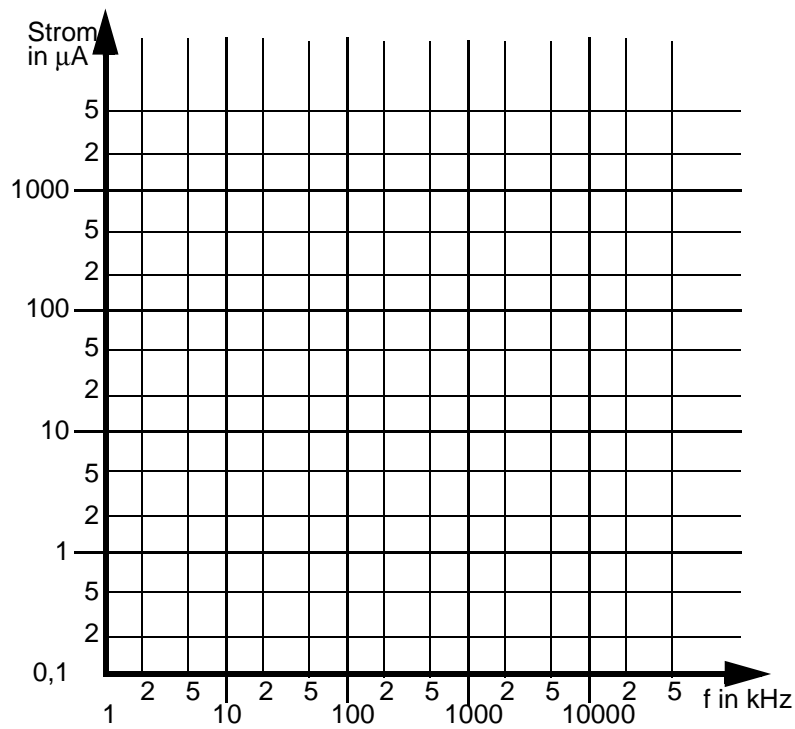
Die mittlere Verzögerungszeit berechnet sich allgemein zu:

$$t_p =$$

2.1. Übertragungskennlinie CD4049 AE



2.5. Stromverbrauch von CMOS in Abhängigkeit von der Frequenz



Messungen	1.x TTL-LS	2.x CMOS
$U_{LL}$		
$U_{HH}$		
$U_S$		
$U_{eLmax}$		
$U_{eHmin}$		
$U_{aLmax}$		
$U_{aHmin}$		
$Z_L$		
$Z_H$		
$E_L$		
$E_H$		
$t_P$		
F (Schaltfreq.)		
$I_{INV}(F)$		
$I_{INV} 1 \text{ Khz}$		
$I_{INV} 10 \text{ KHz}$		
$I_{INV} 100 \text{ Khz}$		
$I_{INV} 1 \text{ MHz}$		

3. Vergleich TTL - CMOS:

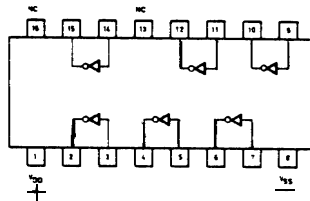
4.  $I_{eL} =$

$I_{eH} =$

FO =

Begründung für die Abweichung:

Anschlußbild CD 4049 AE:



\*\*

\*\*

\*\*

\*\*

Achtung! Anschlüsse nicht mit den Fingern berühren!  
Gefahr der statischen Aufladung durch extrem hohen  
Eingangswiderstand!

\*\*

\*\*

\*\*

\*\*

## Protoboardbelegung

A0	+12V	H0	S1
A1	+12V	H1	K1
A2	+12V	H2	K1
A3	+12V	H3	S2
A4	+12V	H4	K2
A5	+12V	H5	K2
A6	+12V	H6	S3
A7	+12V	H7	K3
B0	-12V	I0	K3
B1	-12V	I1	S4
B2	-12V	I2	K4
B3	-12V	I3	K4
B4	-12V	I4	S5
B5	-12V	I5	K5
B6	-12V	I6	K5
B7	-12V	I7	S6
C0	V1=0...5V/-12...+12V	J0	K6
C1	V1=0...5V/-12...+12V	J1	K6
C2	V1=0...5V/-12...+12V	J2	S7
C3	V1=0...5V/-12...+12V	J3	K7
C4	V1=0...5V/-12...+12V	J4	K7
C5	V1=0...5V/-12...+12V	J5	S8
C6	V1=0...5V/-12...+12V	J6	K8
C7	V1=0...5V/-12...+12V	J7	K8
D0	V2=-12...+12V	K0	S9
D1	V2=-12...+12V	K1	K9
D2	V2=-12...+12V	K2	K9
D3	V2=-12...+12V	K3	S10
D4	V2=-12...+12V	K4	K10
D5	V2=-12...+12V	K5	K10
D6	V2=-12...+12V	K6	S11
D7	V2=-12...+12V	K7	K11
E0		L0	K11
E1		L1	S12
E2		L2	K12
E3		L3	K12
E4		L4	SchalterA
E5		L5	Schalter B
E6		L6	TAKT
E7		L7	RESET (ACT. LOW)
F0		M0	+12V
F1		M1	-12V
F2		M2	+18,5V
F3		M3	-18,5V
F4		M4	V1
F5		M5	
F6		M6	V2
F7		M7	
G0		N0	5V V.S. (alt)
G1		N1	5V V.S. (alt)

## Fragen T-3

1. Zeichnen Sie die typische Übertragungskennlinie eines Inverters!
2. Welches sind die charakteristischen Punkte und welche Bedeutung haben sie?
3. Wie erhält man insbesondere die Störsicherheit?
4. Wie mißt man eine Verzögerungszeit? Was ist bei der Schaltung zu beachten? Was ist die mittlere Verzögerungszeit?
5. Wie sind CMOS-Inverter bzw. Gatter aufgebaut? Wie funktionieren sie?
6. Welche Anzahl Inverter ist bei der Strommessung bei den verschiedenen Schaltkreisfamilien ins Kalkül einzubeziehen?
7. Welche Besonderheiten gelten für den Stromverbrauch bzw. Verlustleistung und für unbenutzte Eingänge?
8. Nach welchem Prinzip werden im Praktikum die Verzögerungszeiten gemessen?
9. Welche Werte erwarten Sie für die Verzögerungszeiten? Wie sind die Unterschiede zu erklären?
10. Was ist „Fan-Out“? Wie bestimmt man ihn? Was geschieht bei Überschreiten dieses Wertes?