

HARDWARE-PRAKTIKUM

Versuch L-2

Fehlersuche in digitalen Schaltungen

Fachbereich Informatik

Universität Kaiserslautern

Versuch L-2

Allgemeines

In diesem Versuch soll das Auffinden und Beheben von Fehlern in Schaltnetzen und Schaltwerken behandelt werden. Da es in größeren Schaltungen unmöglich und wenig sinnvoll ist, im Fehlerfall die gesamte Schaltung neu aufzubauen, sollen hier Strategien zur Fehlersuche entwickelt und angewendet werden und der Einsatz geeigneter Hilfsmittel wie z.B. des Logikanalysators geübt werden.

Aufgabenstellung

1. Fehlersuche in Schaltnetzen

Gegeben sei ein BCD-zu-Siebensegment-Dekoder als Black-Box mit Wahrheitstabelle (Tabelle 1 auf Seite 3) und Schaltbild (Tabelle 1 auf Seite 4). Alle erforderlichen Anschlüsse sind angegeben und stehen zur Prüfung an den in Klammern angegebenen Punkten der Anschlußleiste des Protoboards zur Verfügung. Die Eingänge X0 bis X3 sind mit den Schaltern S0 bis S3 verbunden.

Stellen Sie die Schalter S6 und S7 für diesen Teilversuch auf 00.

1.1 Prüfen Sie die Funktionsfähigkeit des Dekoders mit Hilfe der statischen Anzeige des Analysator-Einschubs. Stellen Sie die Ausgänge wie in der Tabelle angegeben dar, also Segment a auf Eingang 7. Sie können auch, ev. zusätzlich, die Ausgänge auf der aus Versuch L-1 bekannten Siebensegmentanzeige darstellen. Dies ist anschaulicher.

Geben Sie die fehlerhaften Ausgänge an.

1.2 Entwickeln und beschreiben Sie eine Strategie, nach der Sie den Fehler suchen wollen.

Es kann in diesem Fall davon ausgegangen werden, daß der Entwurf und die Verdrahtung richtig ausgeführt sind und daß für Fehler nur defekte Gatter verantwortlich sind. Wenden Sie Ihre Strategie an und beschreiben Sie exakt den (die) Fehler in Ihrer Schaltung (z.B. Gatter 24 reagiert nicht auf Änderungen an Eingang X5).

1.3 Beheben Sie die gefundenen Fehler, indem Sie parallel zu den vorhandenen defekten Gattern neue Gatter auf Ihrem Protoboard aufbauen und so den fehlerhaften Teil der Schaltung überbrücken. Ist ein Gatter der 1. Stufe defekt, so ist dieses und das nachgeschaltete Gatter der 2. Stufe zu ersetzen. Sollte sich also z.B. Eingang X0 von Gatter 2 in Bild 1 als fehlerhaft erweisen, so sind Gatter 2 **und 15** zu ersetzen. Anschluß (C1) darf dabei nicht angeschlossen werden. Der Ausgang der aufgebauten Schaltung wird mit „a“ (E0) verbunden.

Zeigen Sie die Funktionsfähigkeit Ihrer Schaltung dem Betreuer.

Anmerkung

Im Allgemeinen dürfen niemals zwei TTL-Totem-Pole-Ausgänge zusammengeschaltet werden, da dies bei High an einem und Low an dem anderen Ausgang zu Kurzschlüssen führen kann. In unserem Fall werden jedoch die internen Gatter bei Anschluß von externen automatisch abgetrennt.

Tabelle 1: Wahrheitstabelle Sieben-Segment-Dekoder

Eingänge				Ausgänge						
X3	X2	X1	X0	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0
1	-	1	-	X	X	X	X	X	X	X
1	1	-	-	X	X	X	X	X	X	X

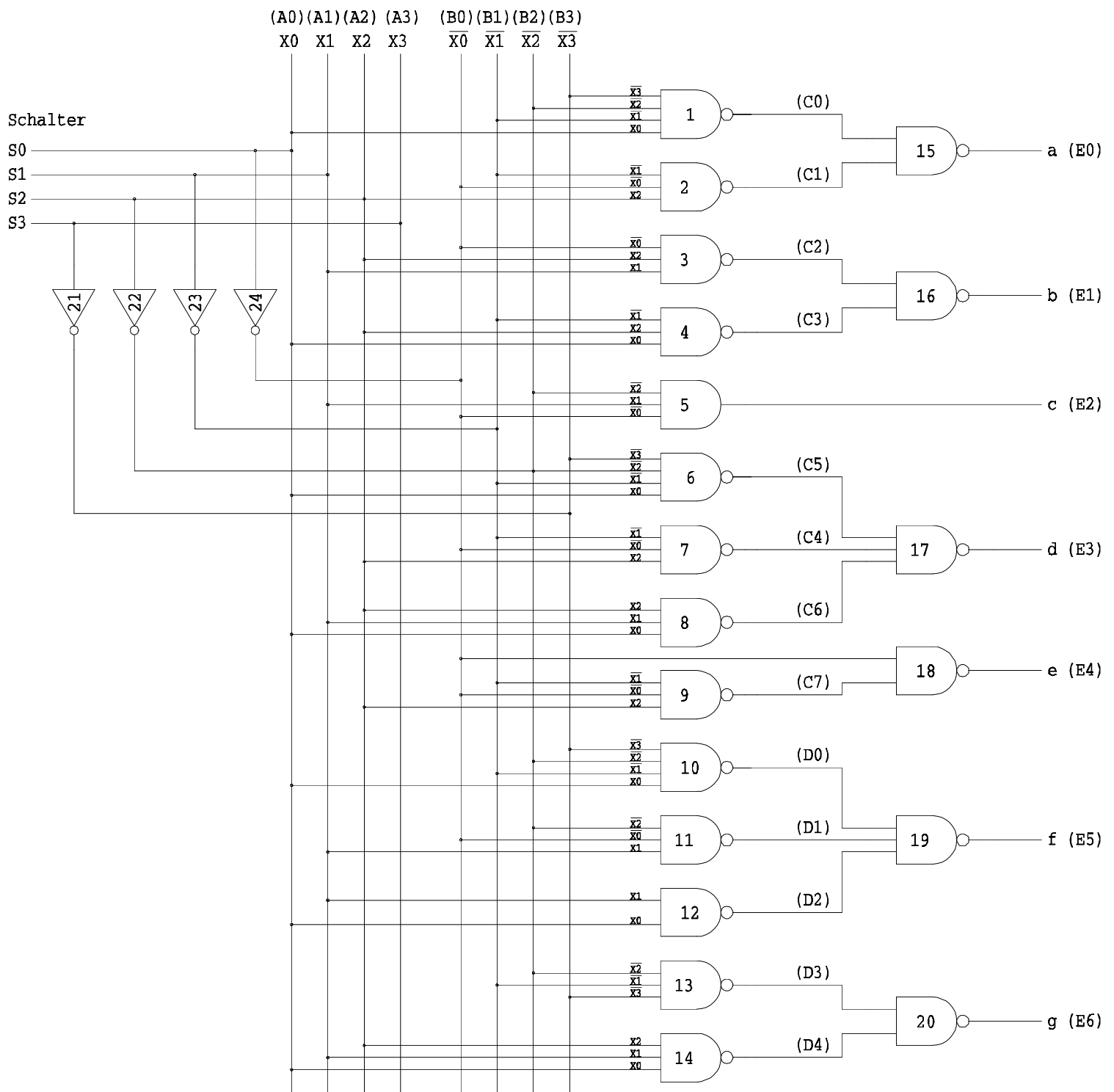


Abbildung 1: Schaltnetz aus Versuchsanordnung

2. Fehlersuche in synchronen Schaltwerken.

Die Fehlersuche in Schaltwerken wird gegenüber Schaltnetzen wesentlich dadurch erschwert, daß die Ausgabe nicht allein von der augenblicklichen Eingabe, sondern auch von der Vorgeschichte abhängig ist. Der Wechsel von einem Zustand zum nächsten wird bei synchronen Schaltwerken durch einen Takt gesteuert. Ist die Frequenz dieses Taktes höher als etwa 1 Hz, so lassen sich die Zustandswechsel nicht mehr mit bloßem Auge verfolgen. Man bedient sich daher eines Logikanalysators, der in der Lage ist, solche Zustandswechsel aufzuzeichnen. Die Funktion des hier verwendeten Logikanalysators ist im Vorspann beschrieben.

In diesem Teilversuch ist ein synchrones Schaltwerk durch Zustandsgraph (Bild 2), Schaltwerkstafel (Tabelle 2 auf Seite 6) und Schaltbild (Bild 3) gegeben. Das Werk ist als Black-Box aufgebaut, die erforderlichen Meßpunkte und der intern vorgegebene Takt CLK von etwa 1 kHz sind auf der Anschlußleiste des Protoboards herausgeführt. Stellen Sie zur Durchführung dieses Teilversuchs Schalter S6 auf '1' und S7 auf '0'.

2.1 Prüfen Sie, ob die Funktion des Schaltwerks dem Graphen entspricht.

Zeigen Sie hierzu die Zustände des Schaltwerks auf den Logikanalysator an. Stellen Sie als Triggerbedingung die Codierung eines bestimmten Zustandes ein, starten Sie den Messvorgang am Logikanalysator und versuchen Sie, das Schaltwerk durch Anlegen verschiedener Eingabekombinationen an den Schaltern S0 bis S3 durch diesen Zustand laufen zu lassen. Durchlaufen Sie auf diese Art den gesamten Graphen. Überlegen Sie sich eine Eingabefolge, mit der Sie den ganzen Graphen durchlaufen können.

Dokumentieren Sie evtl. auftretende Fehler.

2.2 Überlegen Sie sich entsprechend 1.2. ein Strategie zur Fehlersuche. Es kann wiederum ein logisch fehlerfreier Entwurf sowie eine korrekte Verdrahtung vorausgesetzt werden. Zeigen Sie möglichst immer alle 4 Zustandsbits an und benutzen Sie die übrigen Kanäle des Logikanalysators zur Anzeige anderer Meßpunkte.

Geben Sie exakt die Fehler in Ihrer Schaltung an.

2.3 Beheben Sie die Fehler wie in 1.3. Hier müssen, ebenso wie dort, bei Fehlern in der 1. Stufe alle darauffolgenden Stufen bis zum Flip-Flop-Eingang ersetzt werden, also z.B. Gatter 13,14 und 20.

Zeigen Sie die Funktionsfähigkeit Ihrer Schaltung dem Betreuer

Tabelle 2: Schaltwerktafel

N									N+1													
Z	Q ₃	Q ₂	Q ₁	Q ₀	X ₃	X ₂	X ₁	X ₀	Z	Q ₃	Q ₂	Q ₁	Q ₀	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀	
A	0	0	0	0	-	-	-	0	E	1	0	0	0	1	-	0	-	0	-	0	-	
					-	-	-	1	B	0	0	0	1	0	-	0	-	0	-	0	-	1
B	0	0	0	1	-	-	0	1	B	0	0	0	1	0	-	0	-	0	-	-	-	1
					-	-	1	1	C	0	0	1	0	0	-	0	-	1	-	-	-	0
C	0	0	1	0	-	-	-	0	A	0	0	0	0	0	-	0	-	0	-	-	-	0
					0	-	1	-	C	0	0	1	0	0	-	0	-	-	-	1	0	-
D	0	0	1	1	-	-	0	-	G	1	0	1	0	1	-	0	-	-	-	1	0	-
					1	-	1	-	D	0	0	1	1	0	-	0	-	-	-	1	1	-
E	1	0	0	0	-	-	-	-	D	0	0	1	1	0	-	0	-	-	-	1	-	1
					-	-	-	-	F	1	0	0	1	-	1	0	-	0	-	1	-	
F	1	0	0	1	-	-	-	-	G	1	0	1	0	-	1	0	-	1	-	-	-	0
					-	-	-	0	H	1	0	1	1	-	1	0	-	-	-	1	1	-
G	1	0	1	0	-	-	-	1	I	1	1	0	1	-	1	1	-	-	-	0	1	-
					-	-	0	-	G	1	0	1	0	-	1	0	-	-	-	1	-	0
H	1	0	1	1	-	-	1	-	K	1	1	0	0	-	1	1	-	-	0	-	0	
					-	-	0	-	A	0	0	0	0	-	0	-	0	0	-	0	-	
K	1	1	0	0	-	-	-	-	I	1	1	0	1	-	1	-	1	0	-	-	-	1
					-	-	0	-	I	1	1	0	1	-	1	-	1	0	-	-	-	1
I	1	1	0	1	-	0	-	-	K	1	1	0	0	-	1	-	1	0	-	-	-	0
					-	1	1	-	K	1	1	0	0	-	1	-	1	0	-	-	-	0

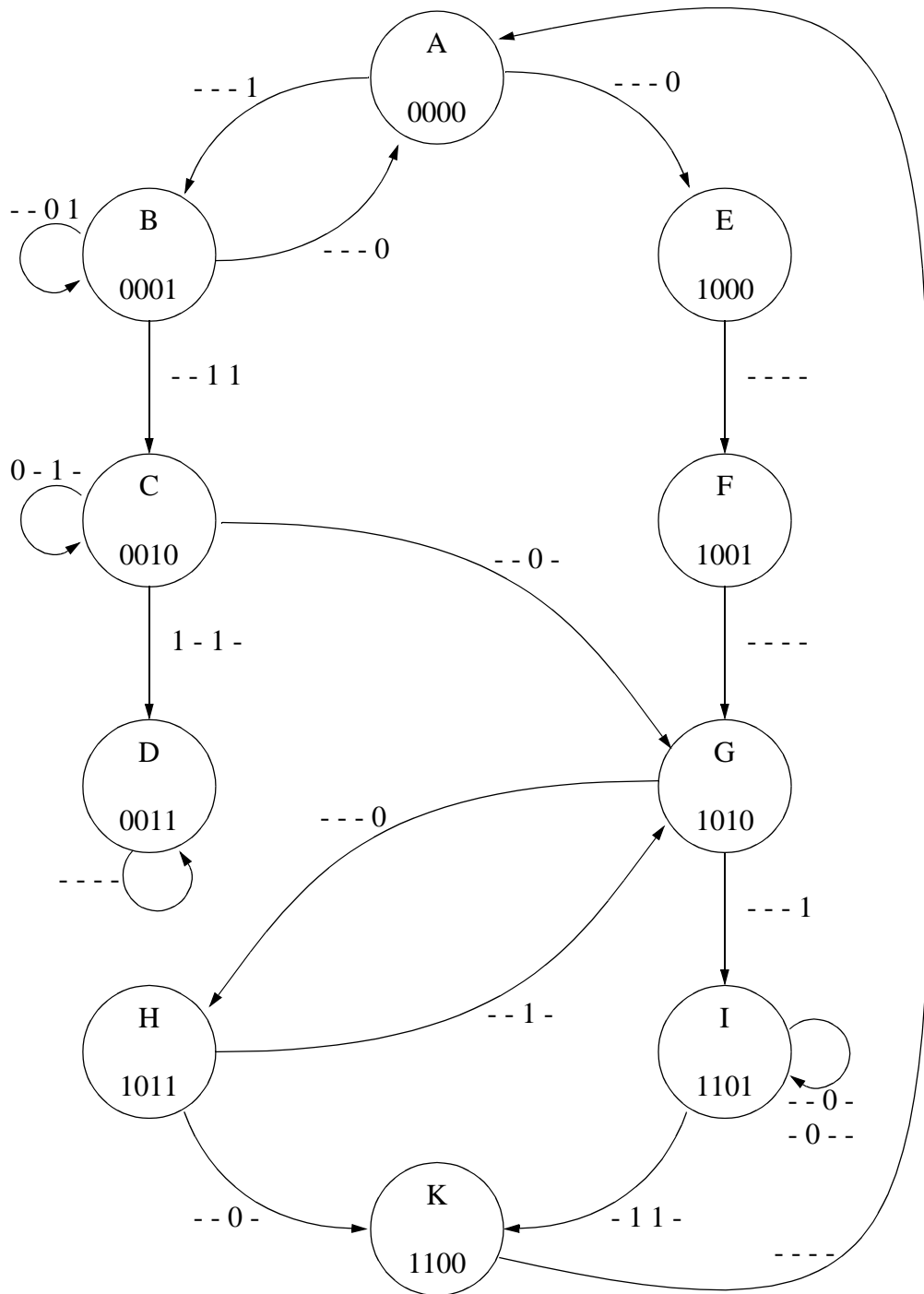


Abbildung 2: Übergangsgraph

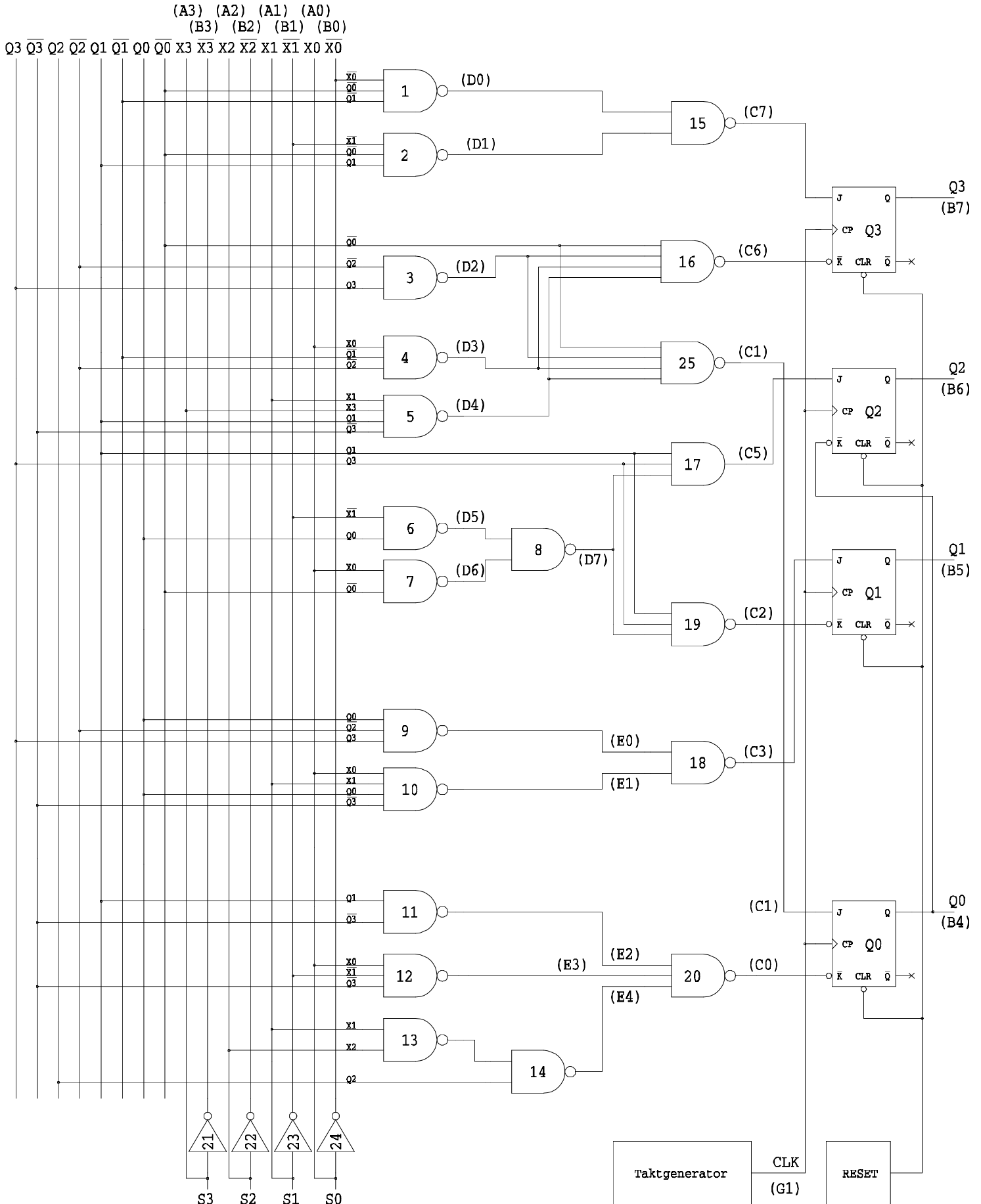


Abbildung 3: Schaltwerk der Versuchsanordnung

Lösungsblatt

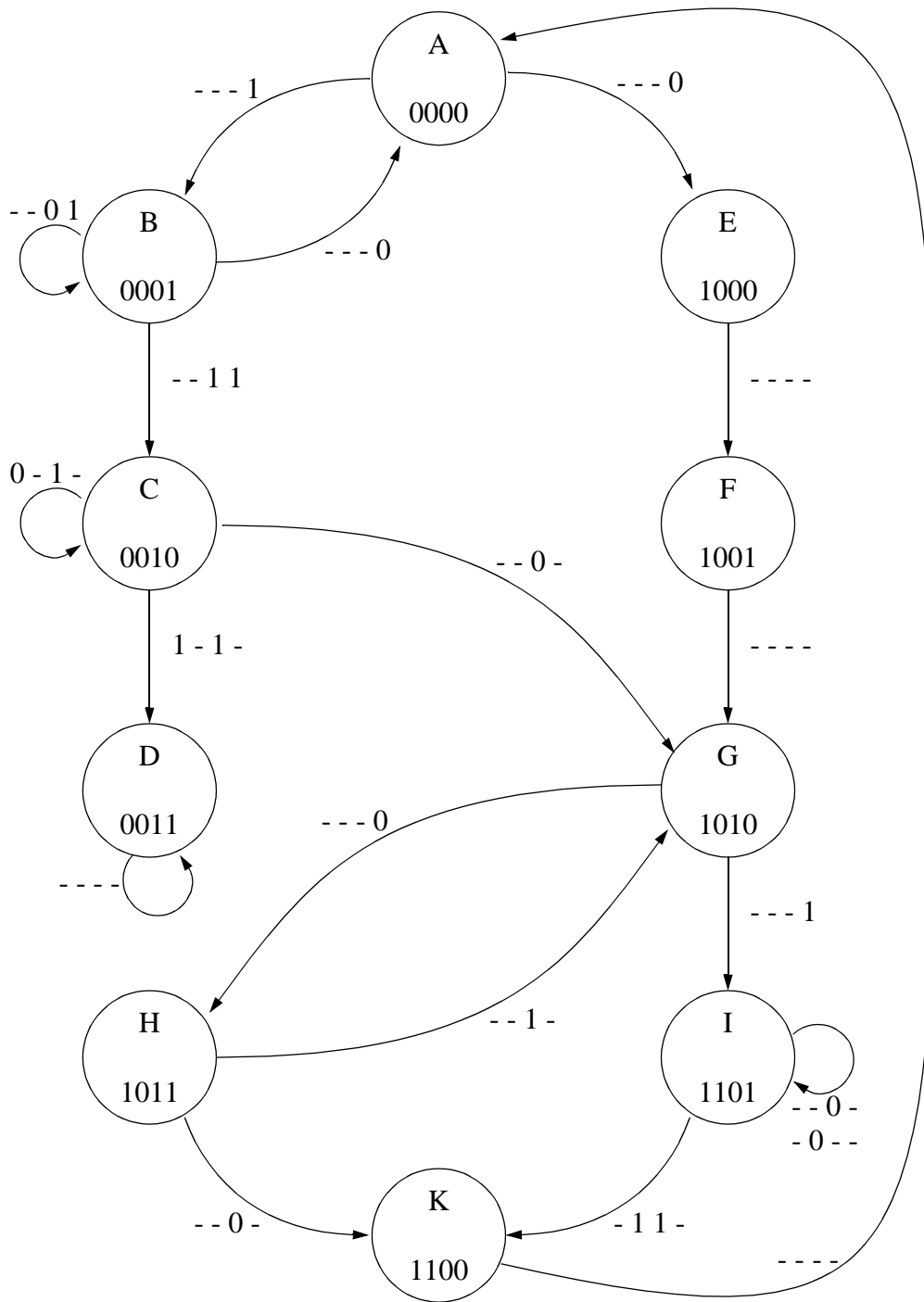
1.1 Fehlerhafte Ausgänge

1.2 Strategie zur Fehlersuche

Fehlerursachen

1.3 Schaltung zur Behebung der Fehler

2.1 Fehlerhafte Übergänge



2.2 Strategie zur Fehlersuche

Fehlerursachen

2.3 Schaltung zur Behebung der Fehler

Anschlußbelegung des Protoboards **Schaltnetz**

	Belegung
A0	X0
A1	X1
A2	X2
A3	X3
A4	
A5	
A6	
A7	
B0	X0
B1	X1
B2	X2
B3	X3
B4	
B5	
B6	
B7	
C0)
C1)
C2)
C3)
C4)
C5)
C6) Ausgänge 1. Stufe Schaltnetz
C7)
D0)
D1)
D2)
D3)
D4)
D5	
D6	
D7	
E0)
E1)
E2)
E3) Ausgänge 2. Stufe Schaltnetz
E4)
E5)
E6)
E7)
F0	LogikanalysatorEingang 0
F1	(Einschub) Eingang 1
F2	Eingang 2
F3	Eingang 3
F4	Eingang 4
F5	Eingang 5
F6	Eingang 6
F7	Eingang 7
G0	Clock
G1	

Anschlußbelegung des Protoboards **Schaltwerk**

	Belegung		
A0	X0		
A1	X1		
A2	X2		
A3	X3		
A4			
A5			
A6			
A7			
B0	X0		
B1	X1		
B2	X2		
B3	X3		
B4	Zustände	Q0,	K2
B5		Q1	
B6		Q2	
B7		Q3	
C0	Ansteuerfunktionen		K0
C1			J0
C2			K1
C3			J1
C4			
C5			J2
C6			K3
C7			J3
D0)		
D1)		
D2)		
D3)		
D4)		
D5)		
D6) Meßpunkte 1. Stufe		
D7) Ansteuerfunktion		
E0)		
E1)		
E2)		
E3)		
E4)		
E5			
E6			
E7			
F0	LogikanalysatorEingang 0		
F1	(Einschub)	Eingang 1	
F2		Eingang 2	
F3		Eingang 3	
F4		Eingang 4	
F5		Eingang 5	
F6		Eingang 6	
F7		Eingang 7	
G0		Clock	
G1	CLK		

Fragen L-2

1. Wie funktioniert (im Prinzip) der Logic-State-Analyser? Was sind Triggerwort, Triggerverzögerung, Taktverzögerung?
2. Wann verwendet man den externen, wann den internen Takt?
3. Auf welche Flanke triggert man sinnvollerweise bei Messungen mit externem Takt?
4. Welches sind die minimalen Eingabemengen zum Test von UND/ODER/NAND/NOR-Gattern?
5. Welche Grundstrukturen für Schaltwerke gibt es? Aus welchen Elementen bestehen diese? Wie unterscheiden sie sich in ihrem äußeren Verhalten? Welcher Typ liegt im Versuch vor?
6. Warum benötigt man zur Fehlersuche im Schaltwerk einen Analyser? Welche Einstellung des Takts ist sinnvoll?
7. Können in einem Schaltnetz/Schaltwerk immer alle Eingangskombinationen aller Bauelemente getestet werden? Wie groß wäre der Aufwand?
8. Ein Flipflop kennt vier mögliche Zustandsübergänge. Welcher Eingang eines JK-FF ist defekt wenn einer der Übergänge nicht erfolgt?
9. Welche Strategie verwenden Sie bei der Fehlersuche im Schaltwerk?
10. Wie stellt man den Analyser ein zum Test eines Übergangs von einem bekannten in einen unbekanntem Zustand?
11. In welcher Reihenfolge startet man Schaltung und Analyser?
12. Wie geht man vor zum Test eines Übergangs, der vom Startzustand aus nicht ohne Eingabeänderung erreichbar ist?
13. Grundlagen - Fragen aus Versuch C-1